

Boletim Técnico da Escola Politécnica da USP
Departamento de Engenharia Eletrônica

ISSN 1413-2206

BT/PEE/9928

Ambiente de Síntese de Circuitos
CMOS de Alto Desempenho

Fábio Luís Romão
Wilhelmus A. M. Van Noije

São Paulo – 1999

O presente trabalho é um resumo da tese de doutorado apresentada por Fábio Luís Romão, sob orientação do Prof. Dr. Wilhelmus Adrianus M. Van Noije.: "Ambiente de Síntese de Circuitos CMOS de Alto Desempenho", defendida em 21/05/99, na Escola Politécnica.

A íntegra da tese encontra-se à disposição com o autor e na Biblioteca de Engenharia de Eletricidade da Escola Politécnica/USP.

FICHA CATALOGRÁFICA

Romão, Fábio Luís

Ambiente de síntese de circuitos CMOS de alto desempenho / F.L. Romão, W.A.M. Van Noije. -- São Paulo : EPUSP, 1999.

12 p. -- (Boletim Técnico da Escola Politécnica da USP, Departamento de Engenharia Eletrônica, BT/PEE/9928)

1. Síntese de ASICS 2. Programação orientada a objetos (Computação) 3. Microeletrônica 4. CMOS de alta velocidade I. Van Noije, Wilhelmus Adrianus Maria II. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia Eletrônica III. Título IV. Série

ISSN 1413-2206

CDD 621.38132
005.1
621.381
621.395

AMBIENTE DE SÍNTESE DE CIRCUITOS CMOS DE ALTO DESEMPENHO

ESCOLA POLITÉCNICA DA USP. DEPARTAMENTO DE ENGENHARIA ELETRÔNICA

MARÇO, 1999

Fábio Luís Romão, Wilhelmus A. M. Van Noije

Resumo

O ASCAD (Ambiente de Síntese de Circuitos CMOS de Alto Desempenho) é um sistema desenvolvido para auxiliar o projeto de circuitos integrados CMOS destinados a aplicações de alta velocidade. É apresentado como um modelo orientado a objetos que reflete a metodologia e as técnicas empregadas.

O avanço da tecnologia de fabricação de circuitos CMOS precisa estar associado a técnicas especiais de projeto a fim de permitir que os circuitos possam operar com taxas de relógio elevadas (ordem de GHz).

O ASCAD automatiza o emprego de um conjunto de regras e realiza a síntese de circuitos, baseado em um conjunto mínimo de células de alta velocidade. Essas regras e esses circuitos básicos foram testados e validados em circuitos integrados implementados especialmente para caracterização.

O modelo completo do ASCAD é apresentado com a notação UML e a implementação inicial foi construída com a linguagem Java. O conjunto de resultados deste trabalho mostra circuitos descritos em VHDL que podem operar com taxas de relógio de até 2 GHz (tecnologia CMOS-0,8 μ m da Atmel/ES2).

1. Circuitos CMOS de Alto Desempenho

Circuitos integrados de alta velocidade eram projetados, em sua grande parte e até um passado recente, com tecnologias diferentes da tecnologia CMOS. Normalmente utiliza-se tecnologia bipolar em silício ou mesmo tecnologias em Arseneto de Gálio.

O uso restrito da tecnologia CMOS se deve ao fato desta ser comparativamente mais “lenta” em relação às mencionadas anteriormente [1]. Essa desvantagem comparativa em termos de velocidade fez com que estes circuitos não fossem empregados em circuitos rápidos. Todavia, a tecnologia CMOS foi ganhando amplas fatias do mercado de circuitos integrados [2,3] de uso genérico, devido basicamente ao predomínio de projetos digitais e a grande facilidade propiciada pelo CMOS no projeto digital.

A tecnologia CMOS possibilita projetos com alta integração de componentes, uma vez que os dispositivos são muito simples. O consumo de energia DC de um circuito CMOS é baixo, já que, exceto no curto período de transição de um sinal e em fugas de diodos, não se estabelecem caminhos diretos de corrente entre os dois níveis de alimentação. Essas características está permitindo projetar circuitos CMOS com milhões de transistores [4].

1.1. E-TSPC

O ASCAD baseia-se estritamente no uso de circuitos dinâmicos. Em 1997, Navarro [5], estendeu e formalizou as regras de composição do TSPC [6], dando origem a um novo conjunto de técnicas intitulado *Extended-True Single Phase Clock* (E-TSPC) [7].

O E-TSPC é importante não somente porque agregou num único trabalho técnicas inicialmente distintas (NORA[8], CPDC[9] e TSPC[6]), mas unificou e, principalmente, formalizou rigorosa e objetivamente regras de composição correlatas.

Os circuitos E-TSPC podem ser compostos por: blocos estáticos; blocos dinâmicos N e P (Figura 1); latches N e P (Figura 2); blocos CDPD (*Clock and Data Precharge Dynamic*) PH e PL

(Figura 3 e Figura 4); classificados como N-Dp e P-Dp; blocos dinâmicos *N-MOS like* (Figura 5); e latches *N-MOS like* (Figura 6).

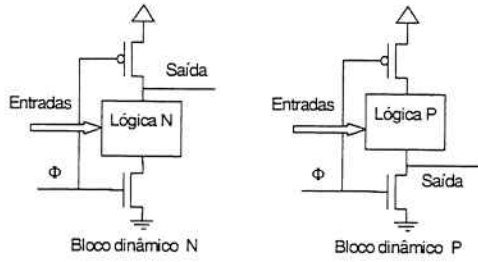


Figura 1: Blocos dinâmicos N e P em (TSPC).

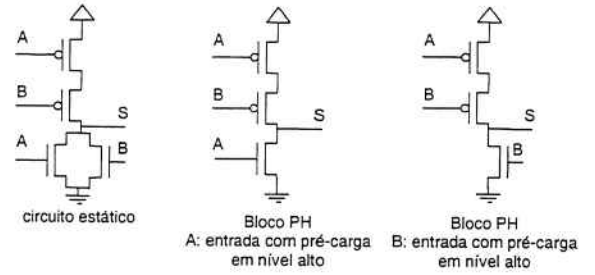


Figura 3: Circuito estático original e blocos CDPD PH derivados.

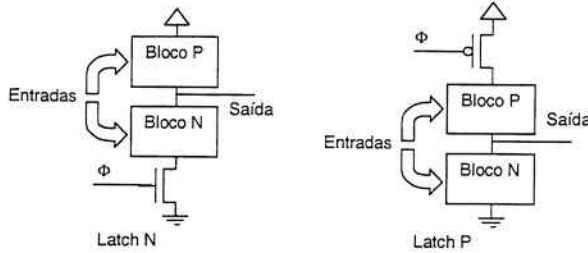


Figura 2: Latches E-TSPC

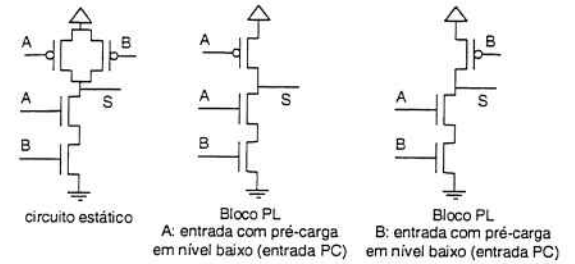


Figura 4: Circuito estático original e blocos CDPD PL derivados.

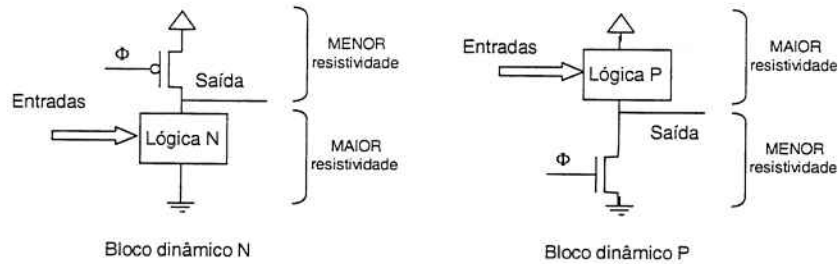


Figura 5: Blocos dinâmicos *N-MOS like*.

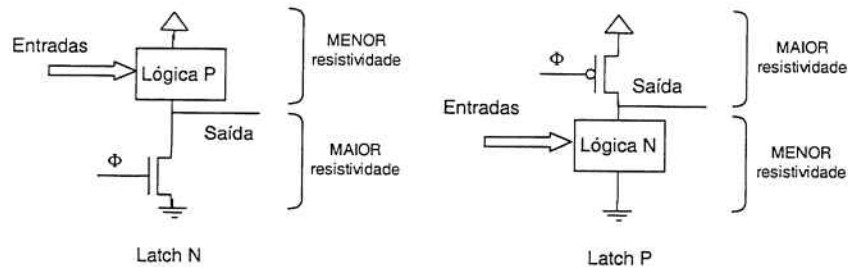


Figura 6: Latches *N-MOS like*.

1.2. Regras de Composição para o ASCAD

As regras que regem a composição entre os diferentes blocos E-TSPC e garantem o correto funcionamento dos circuitos gerados são chamadas Regras de Composição [5,7]. O emprego de forma sistemática das Regras de Composição dificulta e encarece o projeto de um circuito digital, embora permita, em contrapartida, circuitos menores (em número de transistores), mais rápidos e mais seguros (sem disputa de sinal), quando comparados com o seu equivalente estático.

As Regras de Composição são 5, associadas a uma outra chamada Regra de Exceção. Uma cadeia deve obedecer as regras R1 a R5. Essas regras somente podem ser violadas no caso onde se verificar a ocorrência da regra de exceção Re.

1.3. Circuitos de Testes

Nas etapas iniciais do presente trabalho foram projetados, fabricados e testados alguns circuitos utilizando a técnica TSPC. O projeto destes circuitos teve por objetivo principal validar as técnicas de projeto de circuitos de alta velocidade empregadas pelo grupo de desenvolvimento da DMPSV/LSI/PEE/EPUSP.

Os circuitos adotados para ensaios das técnicas de projeto e da metodologia pertencem a uma família de blocos circuitais para comunicação, especificados para o padrão SONET/SDH [10]. Dentre a ampla gama de elementos da família de blocos circuitais SONET/SDH optou-se por implementar dois circuitos distintos cuja caracterização pudesse permitir a verificação da validade das técnicas e métodos empregados: um multiplexador [11] e um demultiplexador [12]. Os circuitos escolhidos formam uma unidade funcional completa dentro da hierarquia SONET/SDH.

1.3.1. Circuito Demultiplexador

O circuito demultiplexador completo ocupou uma área de 2 mm² de silício, conforme pode ser visto na Figura 7. O *core* é composto por aproximadamente dois mil transistores.

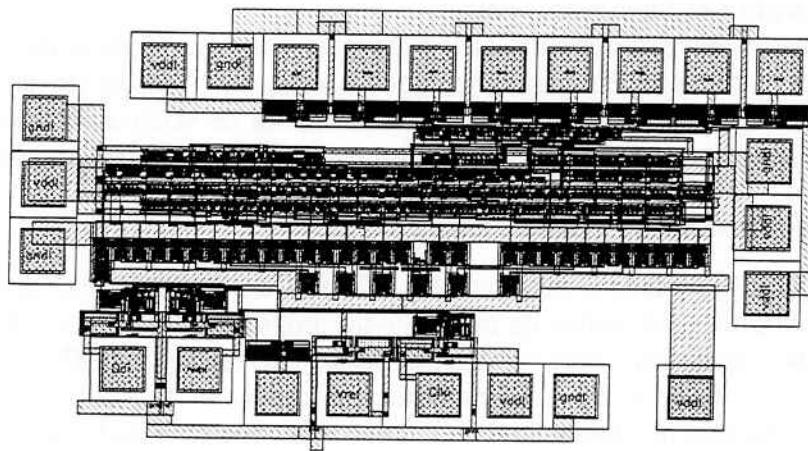


Figura 7: Layout do circuito demultiplexador

1.3.2. Circuito Multiplexador

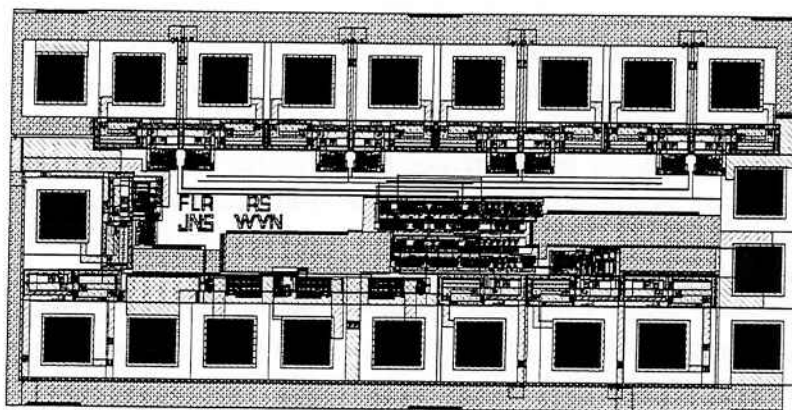


Figura 8: Layout completo do circuito multiplexador.

O layout completo do circuito multiplexador (Figura 8) ocupou uma área de aproximadamente 2 mm². O *core*, que realiza a multiplexação é composto por aproximadamente 250 transistores.

2. Ambiente de Síntese de Circuitos CMOS de Alto Desempenho (ASCAD)

O Ambiente de Síntese de Circuitos CMOS de Alto Desempenho (ASCAD) é uma metodologia, proposta em conjunto com uma ferramenta, para otimizar o fluxo e reduzir o tempo de projeto de circuitos CMOS de alta velocidade. É formado por um conjunto de módulos que atuam sobre uma especificação de entrada e geram um grupo de blocos circuitais aptos a operarem com taxas de relógio elevadas. A fim de executar esta tarefa, o ASCAD parte de alguns elementos básicos a saber:

- um conjunto de regras de composição de circuitos (E-TSPC);
- uma biblioteca de circuitos CMOS básicos ;
- algoritmos de posicionamento de circuitos;
- algoritmos de roteamento de linhas;
- algoritmos de predição e estimativa de cargas capacitivas de interconexões; e
- métodos de otimização de circuitos (em relação à frequência de operação).

O ASCAD agrupa os seus elementos constituintes em módulos que se relacionam segundo a arquitetura aqui proposta. Essa arquitetura reflete em grande parte a sequência de etapas de um projeto “feito à mão”. No entanto, introduz uma nova sistemática nas etapas de verificação de regras de composição e estimativa de leiaute.

A implementação dos métodos aqui propostos em uma ferramenta computacional é uma forma de permitir uma série de ensaios práticos e efetivos. A proposta de implementação e as estruturas de dados apresentadas – seguindo rígidas normas de orientação a objeto – compõem-se à solução final, uma vez que asseguram aos algoritmos e técnicas utilizadas a eficiência necessária.

2.1. Definição Funcional e Arquitetura

Nesta seção é abordado e mostrado os módulos do ASCAD bem como a arquitetura que permeia e controla o fluxo de dados da metodologia proposta. Muitos dos métodos empregados no ASCAD fazem uso ou são derivados de técnicas desenvolvidas na DMPSV-LSI.

O ASCAD compõe-se de dois módulos principais: o Sintetizador de Blocos (SB) e o Otimizador de Frequência de Operação (OFO), conforme mostrado na Figura 9.

O SB é responsável pela captura e interpretação dos dados de entrada e sua “tradução” para o modelo de dados internos. Os dados de entrada são descrições que especificam os circuitos que compõem um bloco circuital. Esta especificação é puramente simbólica, composta por elementos que representam circuitos simbólicos de lógica combinatória, armazenamento de dados (latches simbólicos) e delimitadores de cadeias de *pipeline*. A linguagem de descrição VHDL pode ser utilizada como entrada. A principal função do SB é sintetizar esta representação simbólica para uma representação física – ou seja, em termos de circuitos que possam ser implementados em um leiaute – e verificar se as regras de composição de circuitos não estão sendo violadas na especificação do circuito. Estas regras visam garantir o correto funcionamento de uma estrutura circuital onde são interligados circuitos dinâmicos de diferentes tipos (portas dinâmicas, latches e flip-flops), bem como circuitos estáticos. A conversão de circuitos simbólicos para circuitos reais constitui-se na etapa de síntese propriamente dita, uma vez que um bloco circuital é completamente gerado já respeitando as regras de composição.

O SB deve atuar sobre a estrutura de dados interna de forma rápida e eficiente, já que a tarefa de verificação de regras pode ser bem custosa em termos computacionais.

O OFO assume como entrada um circuito já verificado e, portanto, com os diferentes tipos de circuitos (estáticos e dinâmicos) aptos a sofrerem processos de otimização de velocidade. A otimização é realizada sobre circuitos selecionados segundo as análises de velocidade e atrasos efetuadas sobre todo o conjunto de circuitos. Os circuitos selecionados – em geral pertencentes a caminhos críticos – são reduzidos segundo critérios definidos na ferramenta, com um ganho de frequência efetiva de operação. É importante notar que nem todos os circuitos são necessariamente otimizados, mas apenas aqueles de maior relevância dentro do bloco circuital. O ganho de velocidade de operação gera, em contrapartida, um aumento de potência dissipada. Assim, a

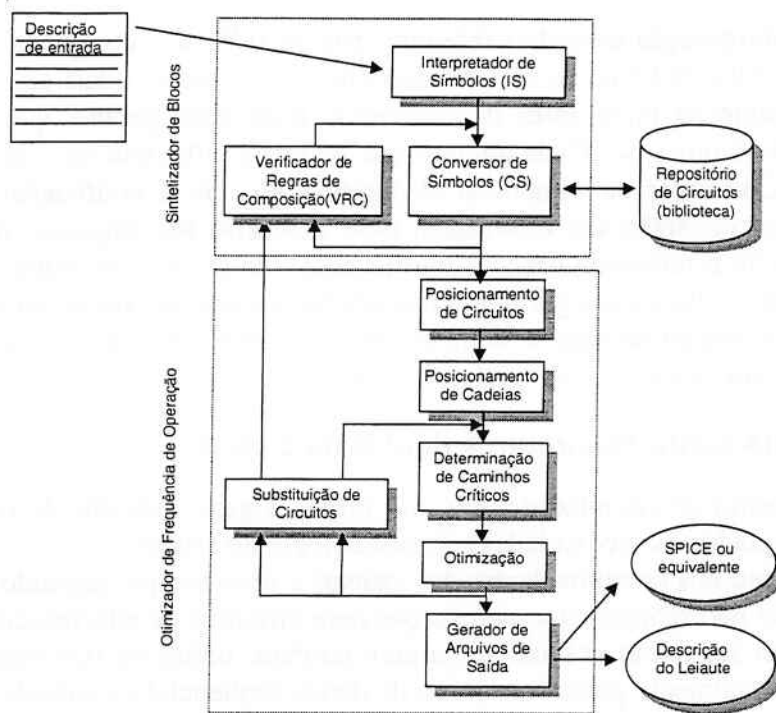


Figura 9: Diagrama funcional do ASCAD

circuitos já descritos, permitindo a reutilização de estruturas. No OFO existem etapas decisórias que levam a processos subsequentes de refinamento.

2.2. Principais algoritmos utilizados no ASCAD

2.2.1. A verificação das regras de composição (VRC)

O VCR implementa os algoritmos que verificam as regras de composição de leiaute. A verificação está intimamente integrada à conversão de símbolos. O VCR opera fazendo a verificação dos circuitos a partir das saídas para as entradas. Os circuitos verificados são armazenados em uma coleção (pilha). Na ocorrência de situações onde a verificação detecta uma

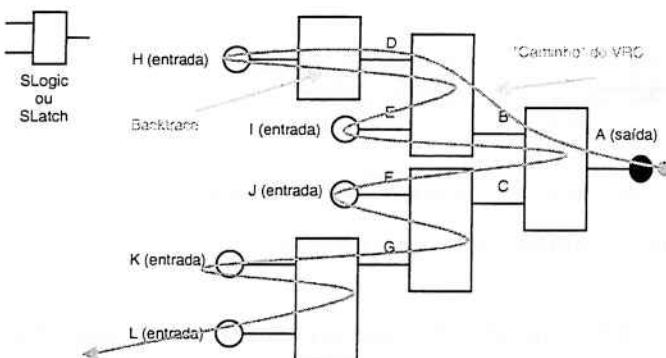


Figura 10: Processo de verificação.

quebra de regras, permite-se a saída de um circuito de sua coleção com *rollback* (volta para estados anteriores); então o VRC pode solicitar ao Conversor de Símbolos uma conversão alternativa para o circuito que gerou a quebra das regras.

O desenho da Figura 10 mostra um esquema de cadeia e ilustra o processo de verificação. Nele vê-se uma cadeia com 5 circuitos sendo verificada. Considere o nome de cada circuito dado pelo nome de seu nó de saída. O VRC começa a verificação pela saída (circuito A), colocando-o na pilha. Em seguida o circuito B é colocado na pilha, e assim sucessivamente segundo a linha cinza da figura 10.

A linha cinza foi traçada seguindo as regras:

- percorre-se um caminho na cadeia, da saída do circuito para apenas uma de suas entradas;
- ao atingir um terminal de entrada, tenta-se outra entrada do último circuito ou volta-se (*backtrace*) para o circuito anterior;
- repete-se este procedimento até que todos os circuitos sejam percorridos.

otimização deve ser aplicada ao menor número de circuitos possíveis, a fim de não afetar sensivelmente o consumo total de potência.

O SB e o OFO são invocados sequencial e independentemente. É possível utilizar cada uma das ferramentas separadamente, mas no entanto não é implementada nenhuma interface externa entre as ferramentas.

Na Figura 9 é apresentado o diagrama do fluxo de informações no ASCAD e os seus principais blocos funcionais, cujas descrições são dadas nas seções seguintes. Pode-se notar que no módulo SB pode ser feita a consulta a uma base de dados de

Em cada *backtrace* uma configuração de cadeia diferente está na pilha e é verificada. Para cada circuito que entra na pilha, o VRC redefine valores de restrições que indicam quais possíveis circuitos podem entrar posteriormente na pilha antes do *backtrace*. Essa ação garante que uma configuração ilegal interrompa todo o processo. Cada circuito que entra na pilha tem um valor de conversão possível (gerado pelo Conversor de Símbolos) atribuído a ele. Se a verificação teve sucesso esses valores possíveis de conversão são efetivados; caso contrário são impostas novas restrições à conversão e a verificação é retomada desde o último ponto de sucesso na pilha. Esse processo de retomar um estado anterior da pilha é garantido por um mecanismo de armazenamento de estados (um estado é uma configuração de pilha e de restrições). As restrições são definidas e atribuídas aos estados da pilha de forma a garantir a completa obediência às regras de composição.

2.2.2. O algoritmo de posicionamento de circuitos dentro da cadeia

O algoritmo de posicionamento de circuitos do ASCAD utiliza alguns métodos de outros trabalhos correlatos [13,14,15,] adaptados às necessidades e à metodologia do sistema.

No ASCAD, o posicionamento dos circuitos dentro das cadeias é feito sempre segundo uma linha horizontal [16]. Essa limitação não representa uma restrição para circuitos de alta velocidade, uma vez que as cadeias não podem ser muito grandes; e garante também linhas de interconexão curtas, uma vez que uma cadeia normalmente possui um fluxo de dados sequencial da entrada para a saída.

Optou-se por empregar um algoritmo de rápida execução [17], embora a quantidade de circuitos em uma cadeia não seja muito grande em altas velocidades. O posicionamento de circuitos utiliza a pilha de circuitos gerada pelo VRC para determinar a sequência de circuitos no posicionamento. O VRC armazena as configurações de cadeias para serem posteriormente utilizadas por este algoritmo.

A determinação da sequência de circuitos da cadeia é feita por busca exaustiva entre todas as possíveis configurações. O número das configurações possíveis pode ser reduzido sensivelmente pela eliminação de sequências redundantes e pela adoção de algumas regras de intercalamento de sequências. Estas regras de intercalamento são:

- Manter circuitos agrupados.

Deve-se evitar as interposições de sequências do tipo mostrado na Figura 11, solução 2. Na mesma figura, a solução 1 minimiza as linhas de interconexão.

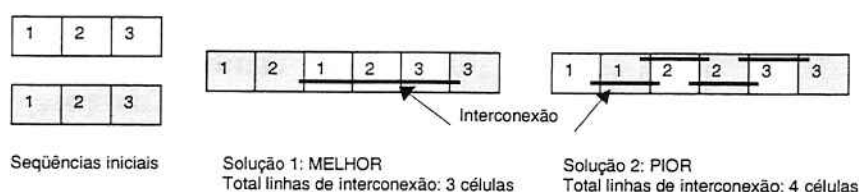


Figura 11: Solução de intercalamento de sequências.

- Evitar grandes agrupamentos.

Grandes agrupamentos tendem a gerar longas linhas de ligação em cadeias que foram "quebradas" (cadeia escura na solução 1 da Figura 11). Longas linhas são inadequadas em circuitos rápidos. O agrupamento máximo é obtido por uma regra simples: cada circuito recebe uma pontuação que coincide com o número de suas entradas (inclusive relógio); e um agrupamento pode somar no máximo 8 pontos entre seus circuitos constituintes.

- Os terminais de quebras nas sequências devem ser preferencialmente alimentados por portas estáticas. Assim, o circuito 2 da cadeia escura na solução 1 da Figura 11 deve ser preferencialmente uma porta estática.

Estas restrições de composição reduzem o número de configurações possíveis, que associadas ao tamanho reduzido das cadeias e a um processo exaustivo e linear de busca [18], tornam rápida e eficiente a determinação da sequência de posicionamento de circuitos.

2.2.3. O algoritmo de posicionamento de cadeias dentro dos blocos

O posicionamento das cadeias dentro do bloco segue os mesmos princípios do Posicionador de Circuitos (ver seção anterior), embora a implementação difira em alguns aspectos. Assim, a base conceitual deste algoritmo é a mesma do algoritmo do Posicionador de Circuitos. No entanto existem fatores adicionais, como por exemplo, o fato do usuário poder configurar no ASCAD o *aspect ratio* desejado para o leiaute gerado. Estes fatores adicionais e as soluções empregadas são descritos a seguir.

O posicionador de cadeias não pode se basear em seqüências pré-determinadas (que o posicionador de circuitos obtém do VRC) e, portanto, deve fazer o levantamento das mesmas, seguindo a sistemática do VRC. A analogia entre circuitos e cadeias é completa, e pelo conceito de polimorfismo - já que ambos são subclasses de *Node* - podem ser utilizados os mesmos algoritmos. Assim, o mesmo código que faz a determinação de seqüências do VRC pode ser utilizado para determinar as seqüências de cadeias em um bloco.

A determinação das seqüências de cadeias não precisa seguir a restrição de ocupar uma única linha, pois um bloco pode ser distribuído em uma área cujo *aspect ratio* foi determinado pelo usuário do ASCAD.

O procedimento seguido pelo posicionador de cadeias é dado pelos passos explicados a seguir:

❶ Determinação do número de linhas de circuitos.

A partir do cálculo do comprimento total de todas as cadeias e o *aspect ratio* desejado determina-se o número de linhas de circuitos do leiaute.

❷ Determinação das seqüências de cadeias.

Utilizando o mesmo algoritmo do VRC, determina-se todas as seqüências de cadeias do bloco.

❸ Seleção e ordenação das seqüências disjuntas.

Ordena-se as seqüências não redundantes mais disjuntas (com menor número de cadeias em comum). Esta ordenação de seqüências vai até o número de linhas determinadas no passo ❶. Veja os subpassos deste passo no exemplo a seguir.

Exemplo: se no passo ❶ ficou determinado que o número de linhas será 2 e se as seqüências determinadas no passo ❷ forem:

A:B:C:D	A:B:E:F	A:G:H:I:J
A:B:C	A:B:E	A:G:H:K:L

os subpassos deste passo são:

❶ Eliminação das seqüências redundantes.

Restam as seqüências:

A:B:C:D	A:B:E:F	A:G:H:I:J	A:G:H:K:L
---------	---------	-----------	-----------

❷ Determinação da seqüência com maior número de elementos disjuntos.

Para isso estabelece-se uma pontuação para cadeias distintas e calcula-se o total de pontos comparando-se todas as seqüências entre si. Essa pontuação utiliza critérios tais como dimensão da cadeia e número de terminais de entrada.

Para que fique mais claro, no exemplo é considerado uma pontuação simplificada, onde cada cadeia diferente entre duas seqüências conta 1 ponto. A Tabela 1 mostra a pontuação da comparação das seqüências entre si.

O processo de pontuação entre duas seqüências sempre toma uma delas como base de referência e a a pontuação é atribuída a outra. Assim, as seqüências referências estão na segunda linha da Tabela 1. A pontuação da seqüência A:G:H:I:J em relação à seqüência referência A:B:C:D é 4 (G, H, I e J não estão presentes na referência). Por outro lado a pontuação da seqüência A:B:C:D com relação à seqüência referência A:G:H:I:J é 3 (B, C e D não estão na referência).

Tabela 1: Determinação da sequência mais disjunta.

	Referências				
	A:B:C:D	A:B:E:F	A:G:H:I:J	A:G:H:K:L	TOTAL
A:B:C:D	0	2	3	3	8
A:B:E:F	2	0	3	3	8
A:G:H:I:J	4	4	0	2	10
A:G:H:K:L	4	4	2	0	10

As seqüências A:G:H:I:J e A:G:H:K:L são candidatas com o mesmo número de pontos. Escolhe-se aleatoriamente a primeira. Tem-se a seqüência A:G:H:I:J como a primeira determinada neste passo.

A determinação das demais seqüências é feita de forma semelhante, mas medindo-se agora a pontuação das demais seqüências em relação à(s) já escolhida(s).

Assim para determinar a segunda seqüência faz-se a nova tabela de pontuação.

Tabela 2: Determinação da sequência mais disjunta em relação a uma referência.

	A:G:H:I:J (referência)	TOTAL
A:B:C:D	3	3
A:B:E:F	3	3
A:G:H:K:L	2	2

As seqüências A:B:C:D ou A:B:E:F são candidatas. Escolhe-se aleatoriamente a primeira. Tem-se a seqüência A:B:C:D como a segunda determinada.

Neste exemplo o processo é interrompido, pois o número de linhas é 2. Mas se fosse necessário determinar outras seqüências o processo da Tabela 2 seria repetido com as seqüências já selecionadas como referências. A pontuação é sempre contada com relação às seqüências de referência.

Tem-se portanto a seguinte ordem de seqüências:

1 - A:G:H:I:J

2 - A:B:C:D

④ Intercalamento das seqüências não selecionadas no passo anterior.

As seqüências restantes devem ser agrupadas com as seqüências de referência pelo grau de afinidade (com maior número de cadeias em comum, avaliadas pela pontuação já utilizada). O intercalamento é feito dentro destes grupos.

Executa-se o intercalamento das seqüências, da mesma forma como no Posicionador de Circuitos, seguindo as mesmas regras.

Assim, distinguem-se dois grupos, um para cada seqüência referência:

A:B:C:D (ref.) e A:G:H:I:J (ref)

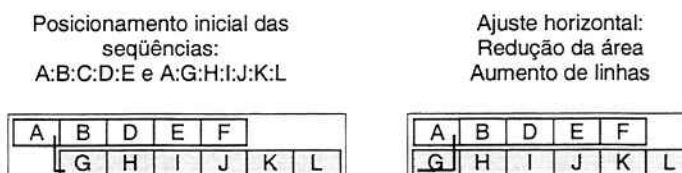
A:B:E:F A:G:H:K:L

que geram as duas seqüências finais:

A:B:C:D:E:F e A:G:H:I:J:K:L

⑤ Ajuste horizontal das cadeias.

O posicionamento final das seqüências pode exigir um deslocamento horizontal das mesmas a fim de minimizar o espaço horizontal ocupado pelo bloco. A Figura 12 ilustra esta necessidade. Conforme mostrado nessa figura, a redução da área pode implicar em aumento nas linhas de interconexão.

**Figura 12: Ajuste horizontal do posicionamento de cadeias.**

2.2.4. O Router

A classe *Router* possui os métodos de roteamento das linhas metálicas do leiaute. O roteamento deve ser executado para cálculo das capacitâncias associadas às linhas de interconexão.

O roteamento é feito em todas malhas (*Net*) de um bloco circuitual. Malhas são caracterizadas por dois ou mais terminais que compartilham o mesmo sinal, e são determinadas no Posicionador de Circuitos e no Posicionador de Cadeias. As linhas de roteamento interno das células da biblioteca de leiautes são consideradas como bloqueios imutáveis no roteamento executado nesta classe.

O roteamento é feito sobre a grade dos *pitches* (chamados de *bins*). Portanto as regras de leiaute com relação aos metais são obedecidas se os *bins* forem corretamente definidos no leiaute simbólico.

O roteamento utiliza o algoritmo de Lee [19,20,21] modificado. O número de níveis metálicos é configurável, bem como as restrições de sobreposição de contatos (ou vias).

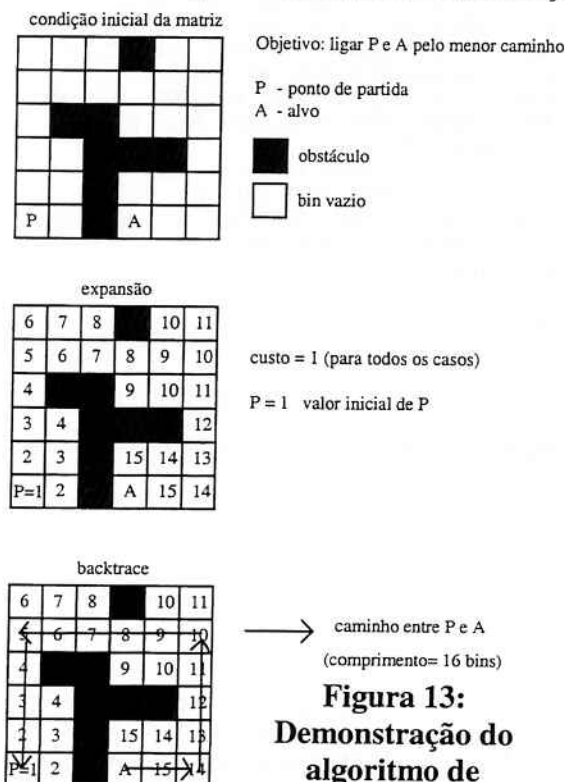


Figura 13:
Demonstração do
algoritmo de
roteamento de Lee.

O algoritmo de Lee original (também conhecido como *Maze*) é adequado para roteamento sobre estruturas regulares e sempre obtém a menor distância entre dois pontos quaisquer, se existir um caminho. O algoritmo é descrito na Figura 13. Vê-se claramente duas etapas distintas:

- **expansão:** ao ponto inicial é atribuído um valor inicial; seus vizinhos livres (que não foram numerados ou não são obstáculos) são numerados com um valor maior; sucessivamente, cada ponto gera uma nova numeração para seus respectivos vizinhos até o ponto final seja atingido pela numeração;
- **backtrace:** a partir do ponto final traça-se uma linha na direção do vizinho de menor valor; repete-se o processo até chegar ao ponto de partida; a linha resultante é a menor ligação entre os dois pontos.

Esse algoritmo sobrecarrega o processamento, pois toda a matriz deve ser percorrida em cada etapa da expansão. Uma maneira de otimizar o processamento é utilizar

uma modificação desse algoritmo [22], que não utiliza varredura. Os *bins* numerados são armazenados em uma fila. Assim o algoritmo retira os *bins* numerados desta fila para efetuar a numeração de seus vizinhos (e colocá-los na fila). Em matrizes grandes essa abordagem reduz significativamente o tempo de processamento.

O algoritmo de Lee sofreu algumas modificações para ser utilizado pelo ASCAD:

- Número ilimitado de níveis:
A matriz de roteamento é tridimensional, onde a terceira dimensão representa as camadas metálicas.
- Expansão com custos diferenciados:
Na etapa de expansão, os vizinhos são numerados conforme o seu custo que pode ser diferenciado de acordo com o lado que se encontra o vizinho. Isto permite que, por exemplo, no nível do metal 2 o custo para numeração no direção horizontal seja maior que o vertical, elegendo esta última direção como preferencial.
- Controle de sobreposição de contatos e vias.
- Minimização de quebras de linhas:
- Roteamento entre regiões:

Regiões inteiras podem ser consideradas como pontos de partida ou alvo.

- Roteamento entre três ou mais pontos:

As malhas podem ser compostas por mais de dois pontos. Neste caso o roteamento é inicialmente feito entre dois pontos e posteriormente entre pontos e regiões

3. Resultados

Alguns resultados práticos de síntese foram gerados, entre eles é mostrado aqui a síntese do circuito detector de A1 SONET. O Arquivo de descrição deste circuito, no formato VHDL, é mostrado a seguir.

```

ENTITY Detal IS
    PORT (DIN : IN BIT; FP1, FP2 : OUT BIT);
END Prescaler;

ARCHITECTURE arch1 OF Detal IS
    SIGNAL C1, C2, D1, D2, D3, E1, E2, E3, F0,
    F1, F2, F3, F4, F5, F6, G1, H1, I1, J1, J2, K1;
BEGIN
    FDIN : ASCAD_DNFF PORT MAP (K1, DIN);
    FF1 : ASCAD_DNFF PORT MAP (I1, K1);
    FF3 : ASCAD_DNFF PORT MAP (F3, I1);
    FF5 : ASCAD_DNFF PORT MAP (F4, F3);
    NOTJ2 : ASCAD_INV PORT MAP (J2, F4);
    FF6 : ASCAD_DNFF PORT MAP (F5, J2);
    NOTJ1 : ASCAD_INV PORT MAP (J1, F5);
    FF7 : ASCAD_DNFF PORT MAP (F6, J1);
    -- TERCEIRA FILA

    NOR3 : ASCAD_NOR PORT MAP (E3, F5, F6);
    FD3 : ASCAD_DNFF PORT MAP (D3, E3);
    -- PRIMEIRA FILA
    CNOT : ASCAD_INV PORT MAP (H1, I1);
    FG : ASCAD_DNFF PORT MAP (G1, H1);
    FF : ASCAD_DNFF PORT MAP (F1, G1);
    NAND1 : ASCAD_NAND PORT MAP (E1, F1, G1);
    FD1 : ASCAD_DNFF PORT MAP (D1, E1);
    NAND4 : ASCAD_NAND PORT MAP (C1, D1, D3);
    FB1 : ASCAD_DNFF PORT MAP (FP1, C1);
    -- SEGUNDA FILA
    NAND2 : ASCAD_NAND PORT MAP (E2, F3, F4);
    FD2 : ASCAD_DNFF PORT MAP (D2, E2);
    NAND5 : ASCAD_NAND PORT MAP (C2, D2, D3);
    FB2 : ASCAD_DNFF PORT MAP (FP2, C2);
END arch1;

```

3.1. Simulações e Leiaute

A simulação da Figura 14 foi feita com taxa de 1,66 GHz (3,32 Gbit/s). Nota-se o atraso de quatro ciclos de relógio na detecção devido aos estágios *pipelines* do circuito. O leiaute apresentado na Figura 15 (implementado em TSPC na Figura 7) tem o *aspect ratio* de 2.

4. Conclusões

As técnicas de projeto de circuitos de alta velocidade apresentadas e utilizadas no trabalho atendem à demanda do ASCAD. O emprego dessas técnicas de forma sistemática e automatizada é computacionalmente viável, bem como as técnicas propostas para otimização, roteamento e posicionamento.

A modelagem do ASCAD com UML facilitou a implementação da ferramenta e gerou uma referência única para toda a metodologia. O *framework* foi testado com o desenvolvimento do interpretador VHDL, que sobrepôs inteiramente o interpretador ASCAD.

Os resultados mostraram que o ASCAD pode sintetizar circuitos tão rápidos quanto os inicialmente projetados de forma *full-custom*. Taxas de até 2 GHz foram obtidas com simulações SPICE.

O emprego da linguagem Java permite que o sistema seja executado em diferentes plataformas.

4.1. Comentários

A arquitetura proposta tem como objetivo final provar que a tecnologia CMOS pode oferecer soluções que atendam às necessidades de altas taxas de transmissão e de grande processamento de dados, necessários nos atuais sistemas integrados de computação e telecomunicações. Favorece também a necessidade de alta integração e portabilidade dos sistemas. Como resultado prático e imediato do trabalho tem-se uma coleção de circuitos CMOS que podem

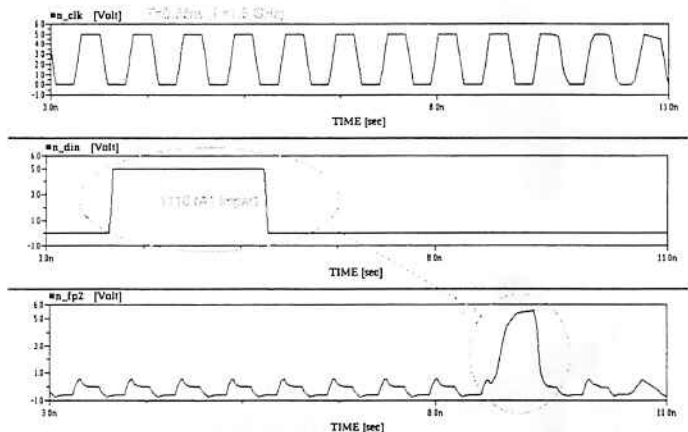


Figura 14: Detecção de A1 impar.

ser empregados nos mais variados sistemas de alto desempenho, bem como uma arquitetura que tira maior proveito destes circuitos. Estes recursos poderão ser utilizados de forma minimamente amigável dentro do ambiente de síntese do ASCAD.

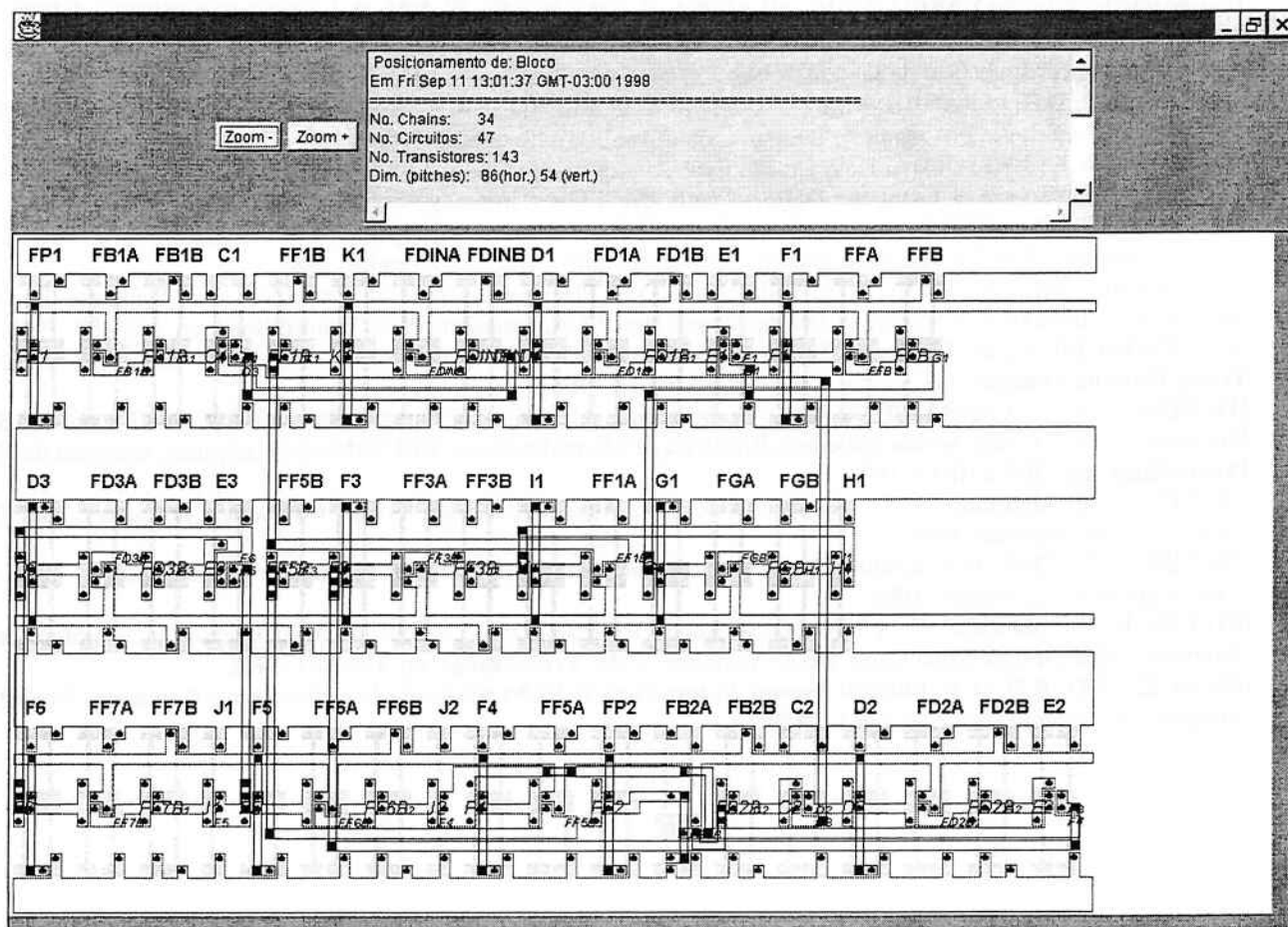


Figura 15: Leiaute do detector de A1.

5. Referências Bibliográficas

- [1] SZE, S.M. **Physics of Semiconductor Devices**. 2nd Edition New York, John Wiley & Sons, Inc., 1981.
- [2] BREWER, J.E. A New and Improved Roadmap. **IEEE Circuits and Devices**, vol. 14, no. 2, pp. 13-18, março 1998.
- [3] SEMICONDUCTOR INDUSTRY ASSOCIATION (SIA), **The national technology roadmap for semiconductors**. San Jose, CA, EUA, novembro. 1997.
- [4] BONDYOPADHYAY, P.K. Moore's Law governs the silicon revolution. **Proceedings of IEEE**, vol. 86, no. 1 pp. 78-81, 1998.
- [5] NAVARRO, J.; VAN NOIJE, W. E-TSPC: Extended True Single Phase Clock CMOS circuit technique. In: VLSI: Integrated Systems on Silicon, IFIP Int. Conf. on VLSI, ed. R. Reis and L. Claesen, London: Chapman & Hall. **Proceedings**. Londres, pp. 165-176, agosto 1997.
- [6] YUAN, J.; SVENSSON, C. High Speed CMOS Circuit Technique. **IEEE Journal of Solid-State Circuits**, vol. 24, no. 1, pp. 62-70, fev. 1989.
- [7] NAVARRO, J.S.Jr.; VAN NOIJE, W. E-TSPC: Extended True Single Phase Clock CMOS circuit technique for highspeed applications. **IEEE Journal of Solid-State Devices and Circuits**, Bras. Microelectronics Society, vol. 5, pp. 21-26, julho 1997.
- [8] GONÇALVES, N.F.; DE MAN, H.J. NORA: A Racefree Dynamic CMOS Technique for Pipelined Logic Structures. **IEEE Journal of Solid-State Circuits**, vol. SC-18, no. 3, junho 1983.
- [9] PIHL, J.; AAS, E.J. Logic Synthesis with High Speed CMOS Circuit Techniques. In: IEEE ISCAS, EUA. **Proceedings**.
- [10] **Synchronous Optical Network (SONET) Transport Systems: Common Generic Criteria**. Bellcore Technical Advisory TA-NWT-000253, Issue 6, setembro 1990.

- [11] ROMÃO, F.L. et al. Projeto do Circuito MUX 8:1 no Padrão SONET/SDH a Taxas de 1,25Gbi/s na Tecnologia CMOS 0.7 μ m. In: IX SBCCI Simpósio Brasileiro de Concepção de Circuitos Integrados, Recife, PE. **Proceedings**. Recife, PE, pp. 201-211, 24 a 29 de março de 1996.
- [12] ROMÃO, F.L.; NAVARRO, J.S.Jr.; SILVEIRA, R.; VAN NOIJE, W.A.M. A 1.2 Gb/s SDH/SONET DEMUX in 0.7 μ m CMOS. In: 1995 SBMO/IEEE MTT-S Internacional Microwave and Optoelectronics Conference, Rio de Janeiro, RJ. **Proceedings**. Rio de Janeiro, RJ, pp. 52-57, 24-27 de julho de 1995.
- [13] DWIGHT, D.H.; ARANHA, M.A.; SHUGARD, D.D. Placement Algorithm for CMOS Cell Synthesis. In: IEEE International Conference on Computer Design. Cambridge, EUA, Setembro 1990. **Proceedings**. pp. 454-458, 1990.
- [14] LIN, P.-Y.F.; NAKAJIMA, K. A Linear Time Algorithm for Optimal CMOS Functional Cell Layouts. In: IEEE International Conference on Computer Design. Cambridge, EUA, Setembro 1990. **Proceedings**. pp. 449-453, 1990.
- [15] NYLANG, L.S.; REIF, J. **An Algebraic Technique for Generating Optimal CMOS Circuit in Linear Time**. Technical Report TR88-29. The Microelectronic Center of North Carolina, novembro 1988.
- [16] DWIGHT, D.H.; ARANHA, M.A.; SHUGARD, D.D. Placement Algorithm for CMOS Cell Synthesis. In: IEEE International Conference on Computer Design. Cambridge, EUA, Setembro 1990. **Proceedings**. pp. 454-458, 1990.
- [17] LENGAUER, T.; MULLER, R. Linear Algorithms for Optimizing the Layout of Dynamic CMOS Cells. **IEEE Trans. Circuits Systems**, vol. 35, no. 3, p. 279-285, março 1988.
- [18] ROMÃO, F. L.; VAN NOIJE, W.A.M. A Linear Time Algorithm for Optimal Static CMOS Cell Layouts on SOG Structures. In: VIII Congresso da Sociedade Brasileira de Microeletrônica, VIII SBMicro, Campinas, setembro de 1993. **Proceedings**. pp. III-8 a III-13, 1993.
- [19] LEE, C. An Algorithm for Path Connections and its Applications. **IEEE Trans. Electronic Computers**, vol. VEC-10, pp. 346-365, setembro 1961.
- [20] TING, B.S.; TIEN, B.N. Routing Techniques for Gate-Array. **IEEE Trans. Computer-Aided Design**, vol. CAD-2, no. 4, pp. 301-312, outubro 1983.
- [21] LEE, K.-W.; SECHEN, C. A New Global Router for Row-Based Layout. In: IEEE International Conference on Computer-Aided Design, Santa Clara, EUA, Novembro 1988. **Proceedings**. pp. 180-183, 1988.
- [22] ACKLAND, B.D. et al. **Physical Design Automation of VLSI Systems**. The Benjamin / Cummings Publishing Company, Inc., Menlo Park, CA, EUA, 1988.

BOLETINS TÉCNICOS - TEXTOS PUBLICADOS

- BT/PEE/9301 - Oscilador a HEMT - 10 GHz - FÁTIMA S. CORRERA, EDMAR CAMARGO
- T/PEE/9302 - Representação Senoidal da Voz através dos Polos do Filtro Preditor - MARCELO B. JOAQUIM, NORMONDS ALENS
- BT/PEE/9303 - Blindagens por Grades Condutoras: Cálculo do Campo Próximo - LUIZ CEZAR TRINTINALIA, ANTONIO ROBERTO PANICALI
- BT/PEE/9304 - Sistema de Otimização e Controle de Produção em Minas de Pequeno e Médio Porte - TSEN CHUNG KANG, VITOR MARQUES PINTO LEITE
- BT/PEE/9401 - Determinação das Frases de Aplicação Forense para o projeto NESPER e Tese de Mestrado IME/94, com Base em Estudos Fonéticos - MARCONI DOS REIS BEZERRA, EUVALDO F. CABRAL JÚNIOR
- BT/PEE/9402 - Implementação e Teste de uma Rede Neural Artificial do Tipo KSON (Kohonen Self-Organizing Network) com Entradas Bidimensionais - MARCELO YASSUNORI MATUDA, EUVALDO F. CABRAL JR.
- BT/PEE/9403 - Transformada de Walsh e Haar Aplicadas no Processamento de Voz - ALEXANDRE AUGUSTO OTTATI NOGUEIRA, THIAGO ANTONIO GRANDI DE TOLOSA, EUVALDO F. CABRAL JÚNIOR
- BT/PEE/9404 - Aplicação de Redes Neurais ao Problema de Reconhecimento de Padrões por um Sonar Ativo - ALEXANDRE RIBEIRO MORRONE, CRISTINA COELHO DE ABREU, EDUARDO KOITI KIUKAWA, EUVALDO F. CABRAL JR.
- BT/PEE/9405 - Tudo que se Precisa Saber sobre a Prática da FFT - Transformada Rápida de Fourier (Inclui Software) - ROGÉRIO CASAGRANDE, EUVALDO F. CABRAL JR.
- BT/PEE/9406 - A Survey on Speech Enhancement Techniques of Interest to Speaker Recognition - CELSO S. KURASHIMA, EUVALDO F. CABRAL JR.
- BT/PEE/9407 - Identificação de Pulsos Decádicos em Linhas Telefônicas - ANTONIO P. TIMOSZCZUK, MÁRCIO A. MATHIAS, EUVALDO F. CABRAL JR.
- BT/PEE/9408 - Implementação e Teste de Filtros do Tipo Adaptativo e ©Notch^a para a Remoção de Interferência de 60 Hz em Sinais de Eletrocardiograma - FLÁVIO ANTÔNIO MENEGOLA, JOSÉ AUGUSTO DE MATTOS, JOSÉ GOMES G. FILHO, SIDNEY SILVA VIANA, EUVALDO F. CABRAL JR.
- BT/PEE/9409 - Compressão de Sinais de Voz utilizando Transformadas de Karhunen-Loève, Fourier e Hadamard - IVAN LUIS VIEIRA, LUIZ FERNANDO STEIN WETZEL, EUVALDO F. CABRAL JR.
- BT/PEE/9410 - ©Ray Tracing^a Paralelo - EDUARDO TOLEDO SANTOS, JOÃO ANTONIO ZUFFO
- BT/PEE/9411 - Implementação de uma Ferramenta Posicionador para ©Gate-Arrays^a Tipo Mar de Portas - JORGE W. PERLAZA PRADO, WILHELMUS A. M. VAN NOIJE
- BT/PEE/9412 - Tudo que se Precisa Saber Sobre a Teoria da FFT - Transformada Rápida de Fourier - FÁBIO LUÍS ROMÃO, REINALDO SILVEIRA, ROGÉRIO CASAGRANDE, EUVALDO CABRAL JR.
- BT/PEE/9413 - Análise do Ruído Sonoro em uma Sala de Aquisição de Amostras de Som com Microcomputador - FÁBIO LUÍS ROMÃO, REINALDO SILVEIRA, EUVALDO CABRAL JR.
- BT/PEE/9414 - Cor: Aspectos Relevantes para Visualização de Dados - SÍLVIA DELGADO OLABARRIAGA
- BT/PEE/9415 - Projeto de Filtros Digitais IIR com Fase Aproximadamente Linear Utilizando Redução de Ordem - IVAN F. J. RODRIGUES, MAX GERKEN
- BT/PEE/9416 - GERAFILTRO: Sistema para Projeto Automático de Filtros Digitais ©IIR^a (da especificação em alto nível ao leiaute do ©ASIC^a) - RICARDO PIRES, JOSÉ VIEIRA DO VALE NETO
- BT/PEE/9417 - Redes Neurais Artificiais Aplicadas à Identificação de Pulsos Decádicos em Linhas Telefônicas - ANTONIO P. TIMOSZCZUK, EUVALDO F. CABRAL JR.
- BT/PEE/9501 - Estudo Comparativo de Métodos de Cálculo da Frequência Fundamental - MARCOS COSTA HUNOLD, EUVALDO F. CABRAL JR.
- BT/PEE/9502 - Combinando Técnicas de Redes Neurais Artificiais e Informações de Excitação no Reconhecimento Automático do Locutor - ANDRÉ BORDIN MAGNI, EUVALDO F. CABRAL JR.
- BT/PEE/9503 - Utilização de Redes Neurais Artificiais para Detecção e Identificação de Falhas em Circuitos - MÁRCIO YUKIO TERUYA, ROBERTO AMILTON BERNARDES SÓRIA, EUVALDO CABRAL JR.
- BT/PEE/9504 - Uso de Redes Neurais Artificiais no Reconhecimento de Locutores no Domínio Temporal - BENEDITO JOSÉ BARRETO FONSECA JÚNIOR, EUVALDO CABRAL JÚNIOR
- BT/PEE/9505 - Projeto de Filtros Passivos e Ativos em Técnicas de Circuitos Integrados de Microondas - DAVID VIVEIROS JÚNIOR, DENISE CONSONNI
- BT/PEE/9506 - Uma Análise de Clustering para as Frases de Projeto NESPER - RONALDO OLIVEIRA MESSINA, EUVALDO F. CABRAL JR.
- BT/PEE/9507 - Controle com Estrutura Variável e Modos Deslizantes - Um Estudo para Aplicação em Controle Carga-frequência da Geração - JOSE PAULO F. GARCIA, JOCELYN FREITAS BENNATON

- BT/PEE/9508 - Recuperação das Margens de Ganho e de Fase para Sistemas de Fase Não Mínima por Realimentação da Saída - MARCO H. TERRA, VITOR M. P. LEITE
- BT/PEE/9509 - Sistema de Inspeção Óptica de Dispositivos Bi-Dimensionais - CASIMIRO DE ALMEIDA BARRETO, PEDRO LUIS PRÓSPERO SANCHEZ
- T/PEE/9510 - Sistema de Partículas Uma Poderosa Técnica de Animação em Computação Gráfica - RENATO CURTO RODRIGUES, JOÃO ANTÔNIO ZUFFO
- BT/PEE/9511 - Efeito de Ruídos em Sinais de Voz Visualizados em Trajetórias Neurais de Kohonen - CELSO S. KURASHIMA, EUVALDO F. CABRAL JR.
- BT/PEE/9601 - "Um Reconhecedor de Sinais Sonoros Utilizando LVQ" - ALEXANDRE TORNICE, EUVALDO CABRAL JR.
- BT/PEE/9602 - "Coleção Artificial Neural Networks: Uma Visão Geral dos Sistemas Neurais Artificiais de Stephen Grossberg" - CHIU HSIUNG HUANG
- BT/PEE/9603 - "Reactively-Sputtered TiN Formation Using a RF Magnetron System"- SÉRGIO PAULO AMARAL OSÓRIO, LUIZ SÉRGIO ZASNICOFF
- BT/PEE/9604 - Aspectos em Tradução de Linguagens Naturais Através de Redes Neurais Artificiais - CARLOS EDUARDO DANTAS DE MENEZES, EUVALDO F. CABRAL JR.
- BT/PEE/9605 - Implementação de Blocos Passa-Tudo Utilizando Realimentação de Erro - SÉRGIO JOSÉ CARNEIRO LEÃO, MAX GERKEN
- BT/PEE/9606 - Coleção SANN group Redes Neurais Artificiais: A Rede Neural de Sakoe - ANDRÉ BORDIN MAGNI, EUVALDO F. CABRAL JR.
- BT/PEE/9607 - Coleção SANN group Redes Neurais Artificiais: A Rede Neural de Steinbuch - ROBERTO AMILTON BERNARDES SÓRIA, EUVALDO F. CABRAL JR.
- BT/PEE/9608 - Desenvolvimento de uma Estrutura de Duplo Nível de Metal para a Confecção de Interconexões em Circuitos Integrados - JOSÉ AUGUSTO DE ALENCAR PEREIRA, LUIZ CARLOS MOLINA TORRES
- BT/PEE/9609 - Determinação de Parâmetros de Processo para Fotomáscara "Balzers" Utilizando Gerador de Padrões - JORGE SEKI, MEGUMI SAITO
- BT/PEE/9610 - Um Ambiente para Desenvolvimento de Sistemas Distribuídos - PEDRO F. ROSA, JOÃO A. ZUFFO
- BT/PEE/9611 - Interpretações Teóricas do Funcionamento Cerebelar: Uma Revisão - MARCUS FRAGA VIEIRA, ANDRÉ FÁBIO KOHN
- BT/PEE/9612 - Marcapasso Cardíaco Temporário Microcontrolado de Demanda e Baixo Consumo - FLAVIO ANTONIO MENEGOLA, JOSÉ CARLOS TEIXEIRA DE BARROS MORAES
- BT/PEE/9613 - Um Sistema de Planejamento de Ação Baseado em Casos para uma Célula Flexível de Manufatura - RICARDO LUIS DE FREITAS, MÁRCIO RILLO
- BT/PEE/9614 - Aplicações do Boundary-Scan para o Teste de Módulos Multichip - ROBERTO C. COSSI JR., JOSÉ ROBERTO DE A. AMAZONAS
- BT/PEE/9615 - A 2.488 Gb/s GaAs 1:4/1:16 Demultiplexer IC with Skip Circuit for Sonet STS-12/48 Systems - TAUFIK ABRÃO, FATIMA S. CORRERA
- BT/PEE/9616 - Uma Contribuição para a Construção de Algoritmos em Projetos de Redes - ALLAN DE SOUZA, JOSÉ ROBERTO CASTILHO PIQUEIRA
- BT/PEE/9617 - Análise Crítica dos Métodos de Medição do Intervalo QT do Eletrocardiograma - SÍDNEY DA SILVA VIANA, JOSÉ CARLOS TEIXEIRA DE BARROS MORAES
- BT/PEE/9618 - Deposição e Caracterização de Filmes de SiO₂ Crescidos pela Técnica de PECVD a Baixa Temperatura - MARCO ALAYO CHÁVEZ, INÉS PEREYRA
- BT/PEE/9619 - PARSTOOL: Uma Ferramenta de Auxílio à Simulação de Sistemas Paralelos - LI KUAN CHING, LIRIA MATSUMOTO SATO
- BT/PEE/9620 - Análise de um Método de Otimização por Malha no Treinamento de Robôs - OLÍMPIO MURILO CAPELI, JOSÉ CARLOS T. B. MORAES, SADA O ISOTANI
- BT/PEE/9701 - Identification of Unstable Mechanical Systems - ROBERTO MOURA SALES, ANSELMO BITTAR, MICHAEL PORSCHE, LAÉRCIO LUCCHESI
- BT/PEE/9702 - Analysis of the Subthreshold Slope Transition Region in SOI nMOSFET - VICTOR SONNENBERG, JOÃO ANTONIO MARTINO
- BT/PEE/9703 - Introduction of the SOI MOSFET Dimensions in the High-Temperature Leakage Drain Current Model - MARCELO BELLODI, JOÃO ANTONIO MARTINO, DENIS FLANDRE
- BT/PEE/9704 - Controle de Largura de Banda Dinâmica para Transmissões Multicast para Redes de Alta Velocidade - SANG SOON LEE, SERGIO TAKEO KOFUJI
- BT/PEE/9705 - Uma Modificação Proposta para o Controle Preditivo Generalizado com Filtro de Kalman - JAIME QUINTERO R., OSWALDO L. V. COSTA
- BT/PEE/9706 - Aplicações de Redes Neurais em Previsões Financeiras - OLÍMPIO MURILO CAPELI, EUVALDO F. CABRAL JR.

- BT/PEE/9707 - Sistema Microcontrolado, Multicanal e Portátil para Estimulação Neuromuscular Funcional - ROGÉRIO QUIARIM ZARZA, JOSÉ CARLOS TEIXEIRA DE BARROS MORAES
- BT/PEE/9708 - Requisitos para o Mapeamento Tecnológico em Projetos de Microeletrônica - LUCIANO DE OLIVEIRA CORRÊA DE BRITO, JOSÉ ROBERTO DE ALMEIDA AMAZONAS
- BT/PEE/9709 - Sistemas PRMA com Dados Acoplados - JOSÉ AUGUSTO DE LIMA, PAUL JEAN ETIENNE JESZENSZY
- BT/PEE/9710 - Algoritmos Genéticos (AG's) para a Otimização de Controladores Nebulosos - JULIO CESAR CEBALLOS AYA, OSWALDO L. V. COSTA
- BT/PEE/9711 - Um Estudo Sobre a Redução de Ruídos em Sinais Caóticos - ERNANE JOSÉ XAVIER COSTA, EUVALDO F. CABRAL JR.
- BT/PEE/9712 - Geradores não Lineares de Sequência para uso em Sistemas Spread Spectrum - ANGEL ANTONIO GONZALEZ MARTINEZ, PAUL JEAN ETIENNE JESZENSZY
- BT/PEE/9713 - Modelamento Físico do Sistema Heteroestrutura - Metal - CECÍLIA WETTERLE RODRIGUES, MEGUMI SAITO
- BT/PEE/9714 - Tensões Induzidas em Linhas Aéreas por Descargas Atmosféricas Indiretas - Modelagem e Aplicação ao Cálculo de Interrupções - ALEXANDRE PIANTINI, JORGE M. JANISZEWSKI
- BT/PEE/9715 - RECMAP - Uma Ferramenta para Otimização em Síntese de Alto Nível Baseada em Reconhecimento Funcional e Mapeamento de Componentes - ANDRÉ GERHARD, JOSÉ VIEIRA DO VALE NETO
- BT/PEE/9716 - Estudo da Sinterização de Contatos Al/Ti por Recozimento Térmico Rápido Visando a Aplicação em Circuitos Integrados - ANGELO EDUARDO BATTISTINI MARQUES, ROGÉRIO FURLAN
- BT/PEE/9717 - Mixed H2/H- Control of Discrete-Time Markovian Jump Linear Systems - OSWALDO L. V. COSTA, RICARDO P. MARQUES
- BT/PEE/9718 - Aluminium Etching with CCl4-N2 Plasmas - ANGELA MAKIE MAKAZAWA, PATRICK VERDONCK
- BT/PEE/9719 - O Uso de Resistes Amplificados Quimicamente e de Sililação em Litografia por Feixe de Elétrons - ANTONIO C. SEABRA, PATRICK B. VERDONCK
- BT/PEE/9720 - Implementação de um Simulador de um Circuito Neuro-Medular que Atua no Controle da Força Motora - LUIZ JURANDIR SIMÕES DE ARAÚJO, ANDRÉ FÁBIO KOHN
- BT/PEE/9721 - Avaliação das Características Físico-Químicas e Elétricas de Filmes de SiO2 Depositados por PECVD a Partir da Reação entre O2 e TEOS - ALVARO ROMANELLI CARDOSO E CLAUS MARTIN HASENACK
- BT/PEE/9722 - Controle e Simulação Dinâmica de Colunas de Destilação: Aplicação Prática em uma Coluna com Refluxo por Gravidade
- BT/PEE/9723 - Circuitos de Portas Lógicas Primitivas Implementados a Partir de uma Classe de Lógicas Paraconsistentes Anotadas - JOÃO INÁCIO DA SILVA FILHO, JAIR MINORO ABE, PEDRO LUÍS PRÓSPERO SANCHEZ
- BT/PEE/9724 - Lattice Heating and Energy Balance Consideration on the I-V Characteristics of Submicrometer Thin-Film Fully Depleted SOI NMOS Devices - CLAUDIA BRUNETTI, NELSON L. A. BRAGA, LUIZ S. ZASNICOFF
- BT/PEE/9725 - Identificação de um Processo de Neutralização de pH via Redes Neurais - SILVIO FLABOREA, CLAUDIO GARCIA
- BT/PEE/9726 - Uma Estratégia de Migração de Sistemas de Telefonia Móvel com Tecnologia AMPS para a Tecnologia CDMA - RONALD LUÍS CLARKSON EISNER, PAUL JEAN ETIENNE JESZENSZY
- BT/PEE/9727 - Controle de pH Usando Conceitos de Invariantes de Reações e Geometria Diferencial - OSCAR A. ZANABARIA S., CLAUDIO GARCIA
- BT/PEE/9728 - Estudo da Influência dos Parâmetros de Recozimento Térmico Rápido na Morfologia dos Filmes de TiSi2 Formados e sua Correlação com a Tensão Mecânica - SILVANA GASPAROTTO DE SOUZA, ARMANDO ANTONIO MARIA LAGANÁ, SEBASTIÃO GOMES DOS SANTOS FILHO
- BT/PEE/9729 - Analysis of Silicon Surface Microirregularities by LASER Light Scattering - JOSÉ CÂNDIDO DE SOUSA FILHO, SEBASTIÃO GOMES DOS SANTOS FILHO
- BT/PEE/9730 - Wavelets in Music Analysis and Synthesis: Timbres Analysis and Perspectives - REGIS ROSSI ALVES FARIA, RUGGERO ANDREA RUSCHIONI, JOÃO ANTONIO ZUFFO
- BT/PEE/9731 - Estudo de Efeitos Mútuos da Distribuição de Corrente em Condutores - AUGUSTO CARLOS PAVÃO, JORGE MIECZYSLAW JANISZEWSKI
- BT/PEE/9801 - Equivalência entre a Semântica da Lógica de Transações e a Semântica de sua Implementação Prolog - PAULO E. SANTOS, FLÁVIO S. C. DA SILVA
- BT/PEE/9802 - Nash Game in Mixed H2/Hoo Control Theory a Convex Optimization Approach- HELENICE OLIVEIRA FLORENTINO, ROBERTO MOURA SALES
- BT/PEE/9803 - Text-Independent Speaker Recognition Using Vector Quantization and Gaussian Mixture Models - THOMAS E. FILGUEIRAS Fº., RONALDO O. MESSINA E EUVALDO F. CABRAL JR.
- BT/PEE/9804 - Elementos Piezoresistivos para Sensores de Pressão com Tecnologia CMOS - LUIZ ANTONIO RASIA, E. C. RODRIGUEZ

- BT/PEE/9805 - Automação do Processo de Casamento de Impedância em Sistemas de Aquecimento por Microondas - J. C. DE SOUZA, J. T. SENISE, V. C. PARRO, F. M. PAIT
- BT/PEE/9806 - Considerações para o Projeto de Células de Memória SI com Transistores HEMT - JAIME H. LASSO, EDGAR CHARRY R.
- BT/PEE/9807 - Covariance Controller with Structure Constraint and Closed Loop H Bound - ANTÔNIO CARLOS DE LIMA, ROBERTO MOURA SALES
- BT/PEE/9808 - Controle Unidimensional de Objetos: Uma Aplicação Prática em Fresadora Automática - MÁRCIO A. F. MURATORE, OSWALDO L. V. COSTA
- BT/PEE/9809 - Redes Neurais com Retardos Temporais Aplicadas ao Reconhecimento Automático do Locutor - ROGÉRIO CASAGRANDE, EUVALDO F. CABRAL JR.
- BT/PEE/9810 - Topological Computation and Voluntary Control - HENRIQUE SCHÜTZER DEL NERO, JOSÉ ROBERTO CASTILHO PIQUEIRA, ALFREDO PORTINARI MARANCA
- BT/PEE/9811 - Casamento de Impedância em Guia de Onda Retangular Utilizando como Variável Medida a Potência Refletida - J. C. DE SOUZA JR., J. T. SENISE
- BT/PEE/9812 - Applied Surface Science - RONALDO D. MANSANO, PATRICK VERDONCK, HOMERO S. MACIEL
- BT/PEE/9813 - Contribuição ao Estudo da Morfologia da Superfície e da Interface do Siliceto de Titânio Formado sobre Si (100) Empregando a Técnica de Microscopia de Força Atômica (AFM) - N. M. HASAN, A. A. M. LAGANÁ, S. G. SANTOS FILHO
- BT/PEE/9814 - Estudo Experimental da Tensão Mecânica em Filmes Finos de Cobre Obtidos por Evaporação ou Deposição Eletroquímica Espontânea - A. I. HASHIMOTO, S. G. FILHO
- BT/PEE/9815 - Controle Híbrido de Manipuladores Robóticos - WEBER ALLEGRI, JOSÉ JAIME DA CRUZ
- BT/PEE/9816 - Entropia Informacional e Cronobiologia - ANA AMÉLIA BENEDITO SILVA, JOSÉ ROBERTO CASTILHO PIQUEIRA
- BT/PEE/9817 - Estabilidade de Lyapunov e Controle de Atitude - FERNANDO SOUSA, FREITAS JÚNIOR, PAULO SÉRGIO PEREIRA DA SILVA
- BT/PEE/9818 - Projeto de um Conversor de Frequências Resistivo em Tecnologia MMIC - CLÁUDIA C. A. APARÍCIO, DENISE CONSONNI
- BT/PEE/9819 - Estudo de Sensibilidade de um Sistema de Modulação Digital via Simulação - RONALDO DI MAURO, LUIZ ANTONIO BACCALÁ
- BT/PEE/9820 - Engenharia do Conhecimento Aplicada ao Conhecimento Aplicado ao Domínio de Gerenciamento de Falhas em Redes de Comunicação: Uma Abordagem Baseada em Modelo - MARILZA ANTUNES DE LEMOS, MARCIO RILLO
- BT/PEE/9821 - Uma Biblioteca de Métodos de Resolução de Problemas de Planejamento para Fornecer Apoio à Aquisição de Conhecimento - LELIANE NUNES DE BARROS, MARCIO RILLO
- BT/PEE/9822 - Um Estudo de Técnicas de Aprendizado por Reforço Livre de Modelo - Aplicação ao Pêndulo Invertido - SÉRGIO RIBEIRO AUGUSTO, ADEMAR FERREIRA
- BT/PEE/9823 - Identificação de Sistemas Dinâmicos com Redes Neurais - FRANCISCO CARLOS PONS, CLÁUDIO GARCIA
- BT/PEE/9824 - Comparison between Single and Double Langmuir Probe Techniques for Analysis of Inductively Coupled Plasmas - RAUL M. DE CASTRO, GIUSEPPE A. CIRINO, PATRICK VERDONCK, HOMERO S. MACIEL, MARCOS MASSI, MARCELO B. PISANI, RONALDO D. MANSANO
- BT/PEE/9825 - DECMEF: Um Sistema de Decomposição Aplicada à Síntese de Máquinas de Estados Finitos - CARLOS HUMBERTO LLANOS QUINTERO, MARIUS STRUM
- BT/PEE/9826 - Controladores Preditivos Através de Desigualdade Matriciais Lineares - RENATO C. BARÃO, RICARDO P. MARQUES, OSWALDO L. V. COSTA
- BT/PEE/9827 - Parametrization of all H2 Optimal Output Feedback Controllers - JOÃO YOSHIYUKI ISHIHARA, ROBERTO MOURA SALES
- BT/PEE/9901 - Digital Equalization Using Time Delay Neural Network (TDNN) - MARIO ANDRÉS VERGARA ESCOBAR, EUVALDO F. CABRAL JR.
- BT/PEE/9902 - Simulação e Análise Estrutural do Modelo de Deposição da Publicação ICRP 66 - JOAQUIM CARLOS SANCHES CARDOSO, JOSÉ CARLOS T. DE BARROS MOARES
- BT/PEE/9903 - Modelamento e Ajuste por Regra Sub-Ótica de Maximização da Informação da Mútua de um Sistema Reconhecedor de Palavras Isoladas, Independente do Falante, para Ambientes Adversos, com Redundância de Informação - MÁRIO MINAMI, IVANDRO SANCHES
- BT/PEE/9904 - Modelagem Matemática e Controle Multivariável do Tanque de Contato Empregado no Processo de Lixiviação dos Minerais Niquelíferos - DANIEL GUZMÁN DEL RÍO, CLAUDIO GARCIA
- BT/PEE/9905 - Avaliação de Transdutores para Análise Metabólica Humana - HENRIQUE TAKACHI MORIYA, JOSÉ CARLOS T. DE BARROS MORAES
- BT/PEE/9906 - Estudo da Aplicação do Método TLM-2D à Análise de Campos Eletromagnéticos - MARCO ANTONIO MATHIAS, JORGE M. JANISZEWSKI

- BT/PEE/9907 – Comportamento Transitório de Campos Eletromagnéticos em Meios Condutivos: Simulação Computacional Eficiente por Diferenças Finitas no Domínio do Tempo – ALEXANDRE AUGUSTO OTTATI NOGUEIRA, JORGE MIECZYSLAW JANISZEWSKI
- BT/PEE/9908 – H_2 and H_∞ Control for Maglev Vehicles – ANSELMO BITTAR, ROBERTO MOURA SALES
- BT/PEE/9909 – Amplificador Distribuído em GaAs – 1 a 17 GHz – CRISTIANE FERREIRA DE ARAÚJO, FATIMA SALETE CORRERA
- BT/PEE/9910 – Modelo Não-Linear de MESFET para Simulação de Amplificadores de Alta Eficiência – ANTONIO SANDRO VERRI, FATIMA SALETE CORRERA
- BT/PEE/9911 – Projeto de um Sistema de Propulsão e Levitação Magnética com Dois Graus de Liberdade – ALEXANDRE BRINCALEPE, FELIPE MIGUEL PAIT
- BT/PEE/9912 – A New Technique to Obtain the MOS Gate Oxide Thickness and Electric Breakdown Field Distributions From Fowler-Nordheim Tunneling Current – WILLIAN AURÉLIO NOGUEIRA, SEBASTIÃO GOMES DOS SANTOS FILHO
- BT/PEE/9913 – Polarization Effects on the Raman and Photoluminescence Spectra of Porous Silicon Layers – WALTER JAIMES SALCEDO, FRANCISCO JAVIER RAMIREZ FERNANDEZ
- BT/PEE/9914 – Aproximação Gaussiana Melhorada Aplicada na Análise de um Método de Aquisição em Dois Estágios para Sistemas DS/CDMA – IVAN ROBERTO SANTANA CASELLA, PAUL JEAN ETIENNE JESZENSKY
- BT/PEE/9915 – Simulação e Análise de Soluções de Comunicação entre Sub-Redes IP sobre ATM – MARCELO ZANONI SANTOS, JOÃO ANTONIO ZUFFO
- BT/PEE/9916 – Uma Nova Abordagem para a Análise Computacional de Movimento – RAMONA M. STRAUBE, JOÃO ANTONIO ZUFFO
- BT/PEE/9917 – Caches Remotos e Prefetching em Sistemas Multiprocessadores de Alto Desempenho – Considerações Arquiteturais – EDWARD DAVID MORENO, SERGIO TAKEO KOFUJI
- BT/PEE/9918 – Um Modelo de Referência para o Controle do Processo de Lodo Ativado – OSCAR A. ZANABRIA SOTOMAYOR, SONG WON PARK, CLAUDIO GARCIA
- BT/PEE/9919 – Identificação Não-Linear de um Processo de Neutralização de pH Multivariável Utilizando Modelos Narmax Polinomiais com Tempo Morto – ROSIMEIRE APARECIDA JERÔNIMO, CLAUDIO GARCIA
- BT/PEE/9920 – Avaliação do U-Net em Clusters com Rede Myrinet – PAULO A. GEROMEL, SERGIO T. KOFUJI
- BT/PEE/9921 – Implementação de Finos Diafragmas em Lâminas de Silício Monocristalino, Altamente Dopadas com Boro, Visando Fabricação de Microsensores de Pressão CMOS Utilizando Pós-Processamento – HUMBER FURLAN, EDGAR R. CHARRY
- BT/PEE/9922 – A5GHz Continuous Time Sigma-Delta Modulador Implemented in $0.4\mu\text{m}$ InGaP/InGaAs – A. OLMOS, E. CHERRY, M. NIHEI, Y. WATANABE
- BT/PEE/9923 – Dimensionamento de Unidades Remotas de Sistemas VSAT – CLAUDIO TRÁPAGA FAGUNDES DO NASCIMENTO FILHO, FATIMA SALETE CARRERA
- BT/PEE/9924 – Implementação de um Pós-Filtro Adaptativo para a Melhora de Qualidade Perceptual de Sinais de Voz com Ruído – CELSO SETSUO KURASHIMA, IVANDRO SANCHES
- BT/PEE/9925 – Redes Neurais Artificiais Aplicadas a Estimação de Processos Biotecnológicos – PEDRO S. PEREIRALIMA, ZSOLT L. KOVÁCS
- BT/PEE/9926 – The Utilization of Low Temperature Co-Fired Ceramics (LTCC-ML) Technology for Meso-Scale SEM, a Simple Thermistor Based Flow Sensor – M. GONGORA-RUBIO, L. M. SOLÁ-LAGUNA, P. J. MOFFETT, J. J. SANTIAGO-AVILÉS
- BT/PEE/9927 – Análise do Desempenho de uma Rede ATM sob Tráfego Heterogêneo – HANS MARCELO GAMARRA DELGADO, JOSÉ ROBERTO DE ALMEIDA AMAZONAS

