

ESTUDO, SIMULAÇÃO E LAY-OUT DE CI's

OTAVIANI, F.L., aluno EESC-USP, Depto. Eletricidade, S.Carlos
KATZ, I., aluno EESC-USP, Depto. Eletricidade, São Carlos, SP
SAEZ, R.T.L., aluno EESC-USP, Depto. Eletricidade, S.Carlos, SP
LEE, Y.H., aluno EESC-USP, Depto. Eletricidade, São Carlos, SP
PEREIRA, J.C., Prof. Dr. EESC-USP, Depto. Eletricidade, S.Carlos
BACKER, J.M., Prof. EESC-USP, Depto. Eletricidade, São Carlos

Neste trabalho tem-se por objetivo a assimilação de técnicas de simulação e confecção de lay-out para circuitos integrados, visando-se sua introdução nos currículos de graduação de Engenharia Elétrica.

Dado o grande avanço tecnológico de circuitos integrados C-MOS, com características de alta integração e baixa dissipação de potência, opta-se pela simulação e estudo de um circuito analógico amplificador de transcondutância C-MOS.

Realiza-se então, simulações com o PSPICE, estuda-se a tecnologia MOS e técnicas de lay-out com software Egipca e KIC fazendo-se a otimização do circuito num processo iterativo. Aborda-se, dentre outros, o estudo e implementação de espelhos e fontes de corrente, influências de variação de parâmetros geométricos no desempenho do circuito e o fenômeno de latch up.

O lay-out final foi enviado ao 3º Projeto Multi usuário Brasileiro, aguardando-se a confecção do chip para verificações e análises experimentais.

